

メモリ

MN231000

T-46-23-15

MN231000

1,048,576ビット CMOS マスクプログラマブル ROM
1,048,576-Bit CMOS Mask Programmable ROM

■ 概要

MN231000は、1Mビット (131,072×8ビット構成) のCMOSマスクプログラマブルROMです。

このメモリは、5V単一電源で動作可能であり、入出力はTTLコンパチブル、かつ出力は3ステート動作なので、バスラインとの接続が容易です。また、チップディセイズブル状態では、自動的にスタンバイモードに切り換わり、低消費電力化が可能です。

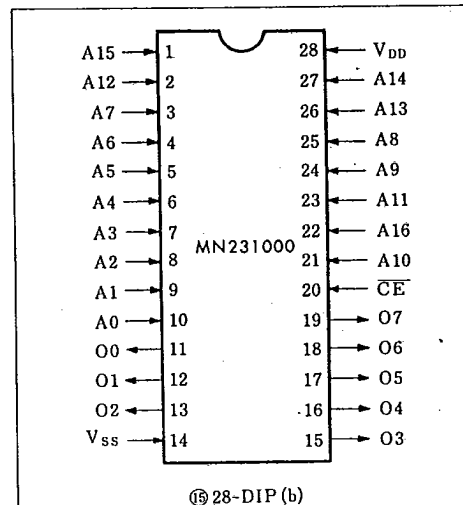
■ Description

The MN231000 is a 131,072-word × 8-bit CMOS mask programmable ROM. The device inputs and Outputs are TTL compatible, and Operates from a single +5V supply.

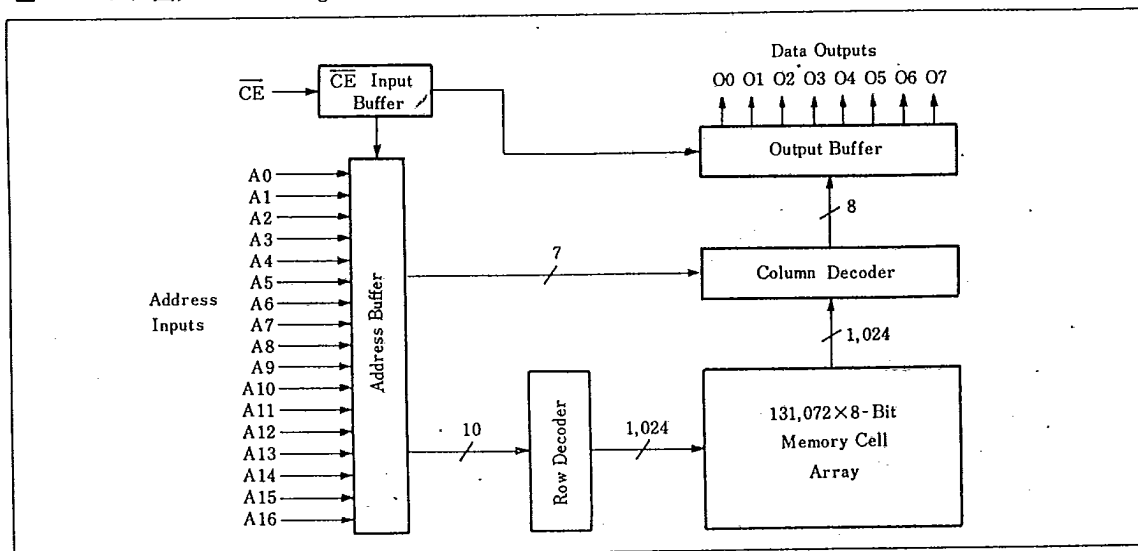
■ 特徴

- 非同期式完全スタティック動作
- 最大アクセス時間：250ns
- 単一5V電源動作
- 入出力TTLコンパチブル
- 3ステート出力
- \overline{CE} 端子付き
- 28ピン・プラスチックDIPパッケージ

■ 端子配置図/Pin Assignment



■ ブロック図/Block Diagram



6932852 PANASONIC INDL. ELECTRONIC

72C 06362 Q

メモリ

MN231000

T-46-23-15

■ 絶対最大定格/Absolute Maximum Ratings

Item	Symbol	Rating	Unit	Note
電源電圧	V_{DD}	$-0.3 \sim +7.0$	V	$V_{SS}=0$
入力電圧	V_I	$-0.3 \sim +7.0$	V	$V_{SS}=0$
出力電圧	V_O	$-0.3 \sim +7.0$	V	$V_{SS}=0$
許容損失	P_D	1000	mW	$T_a=25^\circ\text{C}$
動作周囲温度	T_{opr}	$0 \sim +70$	$^\circ\text{C}$	
保存温度	T_{stg}	$-55 \sim +125$	$^\circ\text{C}$	

■ 推奨動作条件/Operating Conditions ($V_{SS}=0\text{V}$, $T_a=0 \sim +70^\circ\text{C}$)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V_{DD}		4.5	5.0	5.5	V

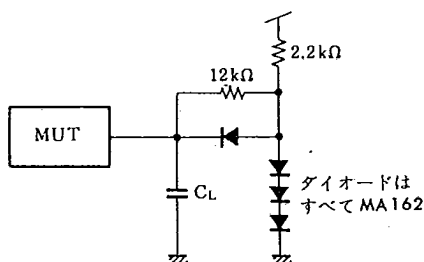
■ DC 特性/DC Characteristics ($V_{DD}=5.0\text{V} \pm 0.5\text{V}$, $V_{SS}=0\text{V}$, $T_a=0 \sim +70^\circ\text{C}$)

Item	Symbol	Condition	min.	typ.	max.	Unit
入力電圧ハイレベル	V_{IH}		2.4		$V_{CC}+0.3$	V
入力電圧ローレベル	V_{IL}		-0.3		0.8	V
出力電圧ハイレベル	V_{OH}	$I_{OH} = -400\mu\text{A}$	2.4			V
出力電圧ローレベル	V_{OL}	$I_{OL} = 3.2\text{mA}$			0.4	V
電源電流(アクティブ時)	I_{DD1}	$\overline{CE} = V_{IL}$, min. cycle		10	30	mA
電源電流(スタンバイ時)	I_{DD2}	$\overline{CE} = V_{IH}$			400	μA
電源電流(スタンバイ時)	I_{DD3}	$\overline{CE} = V_{DD} \pm 0.2\text{V}$ 以内			20	μA
入力リーク電流	I_{L1}	$V_{IN} = 0 \sim V_{DD}$			± 10	μA
出力リーク電流	I_{L0}	$\overline{CE} = V_{IH}$, $V_O = 0 \sim V_{DD}$			± 10	μA

■ AC 特性/AC Characteristics ($V_{DD}=5.0\text{V} \pm 0.5\text{V}$, $V_{SS}=0\text{V}$, $T_a=0 \sim +70^\circ\text{C}$)

Item	Symbol	Condition	min.	typ.	max.	Unit
サイクル時間	t_{cyc}	負荷容量……1TTLゲート+ C_L (100pF) (ジグ容量を含む)	250			ns
アクセス時間	t_{acc}	入力パルスレベル……0.6~2.6V			250	ns
出力オン時間	t_{CE}	t_r , t_f (10%~90%)……10ns			250	ns
出力オフ時間	t_{CEH}	タイミング測定電圧 入力パルス $V_{IH}=2.4\text{V}$, $V_{IL}=0.8\text{V}$	0			ns
出力保持時間	t_{OH}	出力パルス $V_{OH}=2.0\text{V}$, $V_{OL}=0.8\text{V}$	0			ns

※負荷回路



$C_L: 100\text{pF}$
(ジグ容量を含む)

■ 端子容量/Terminal Capacitance

Item	Symbol	Condition	min.	typ.	max.	Unit
入力容量	C_{IN}	$V_{IN}=0\text{V}$, $f=1.0\text{MHz}$, $T_a=25^\circ\text{C}$			10	pF
出力容量	C_{OUT}				15	pF

6932852 PANASONIC INDL. ELECTRONIC

72C 06363 D

メモリ

MN231000

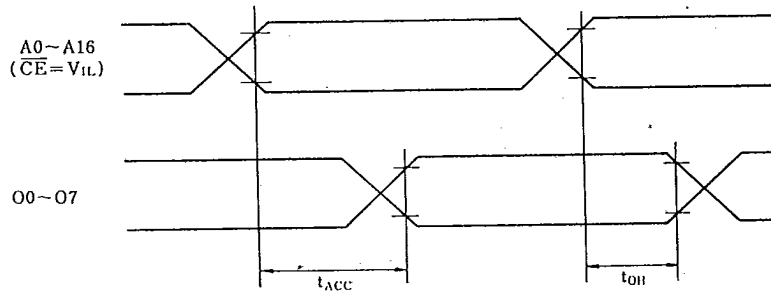
T-46-23-15

■ 端子説明/Pin Names

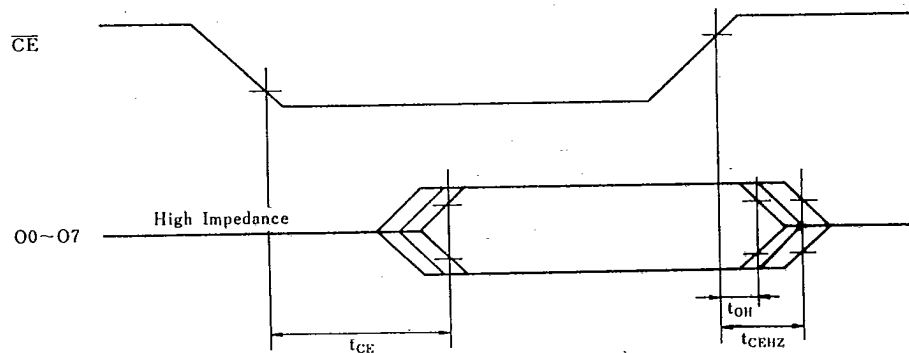
Pin No.	Symbol	端子名	説明	Pin No.	Symbol	端子名	説明
1	A15	アドレス入力	A15アドレス入力	17	O5	データ出力	O5 データ出力
2	A12	アドレス入力	A12アドレス入力	18	O6	データ出力	O6 データ出力
3	A7	アドレス入力	A7 アドレス入力	19	O7	データ出力	O7 データ出力
4	A6	アドレス入力	A6 アドレス入力	20	\overline{CE}	チップ イネーブル 入力	$\overline{CE} = L$ の場合にデータの読み出しが可能となり、 $\overline{CE} = H$ の場合には出力は3ステートのOFF状態に保持され、かつ、スタンバイモードとなる
5	A5	アドレス入力	A5 アドレス入力				
6	A4	アドレス入力	A4 アドレス入力				
7	A3	アドレス入力	A3 アドレス入力				
8	A2	アドレス入力	A2 アドレス入力				
9	A1	アドレス入力	A1 アドレス入力	21	A10	アドレス入力	A10アドレス入力
10	A0	アドレス入力	A0 アドレス入力	22	A16	アドレス入力	A16アドレス入力
11	O0	データ出力	O0 データ出力	23	A11	アドレス入力	A11アドレス入力
12	O1	データ出力	O1 データ出力	24	A9	アドレス入力	A9 アドレス入力
13	O2	データ出力	O2 データ出力	25	A8	アドレス入力	A8 アドレス入力
14	V _{SS}	V _{SS} 電源	通常はOVもしくはアースに接続する	26	A13	アドレス入力	A13アドレス入力
15	O3	データ出力	O3 データ出力	27	A14	アドレス入力	A14アドレス入力
16	O4	データ出力	O4 データ出力	28	V _{DD}	V _{DD} 電源	通常は+5V電源に接続する

■ タイミング図/Timing Diagrams

- アクセス時間, 出力保持時間(Chip Selected)/Access, Output Hold Timing
アドレスコントロール時/Address Controlled



- 出力オン時間, 出力オフ時間(Address Established)/ \overline{CE} ON·OFF Timing
チップイネーブルコントロール時/Chip Enable Controlled



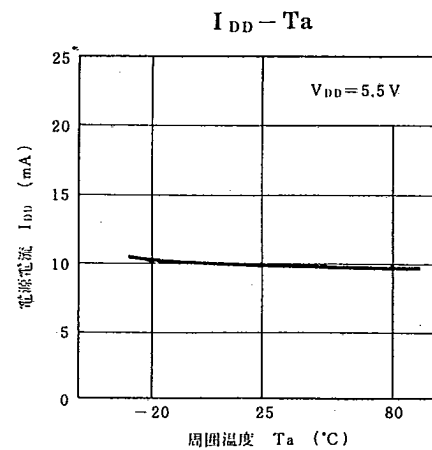
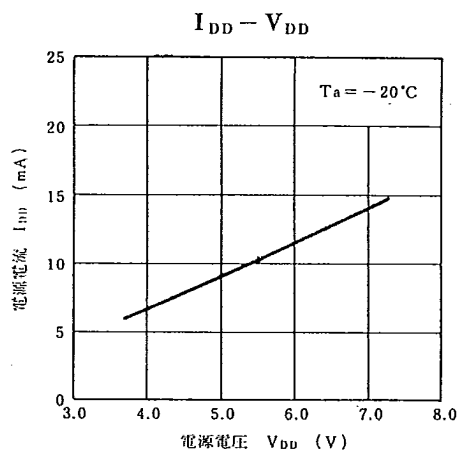
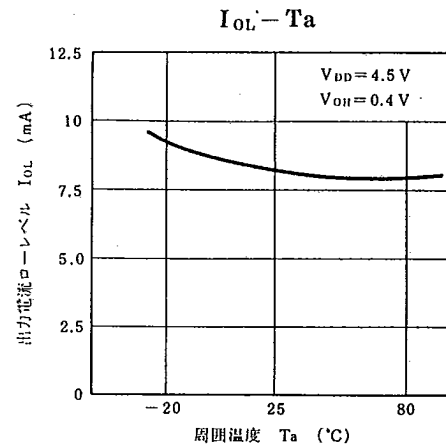
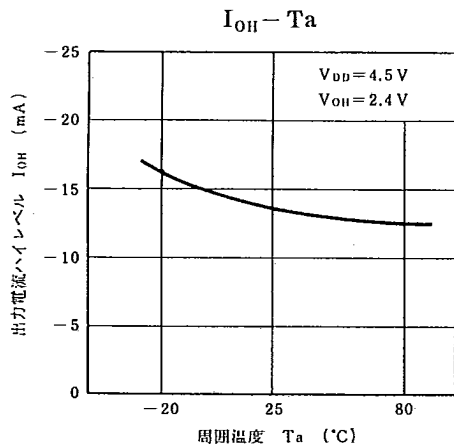
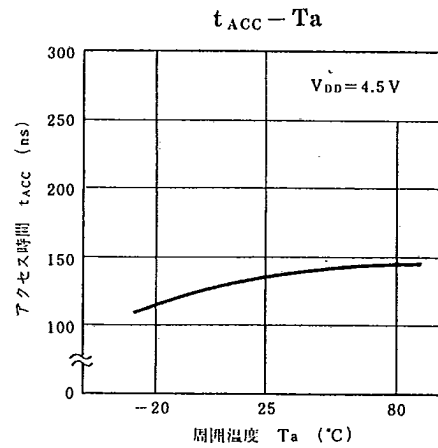
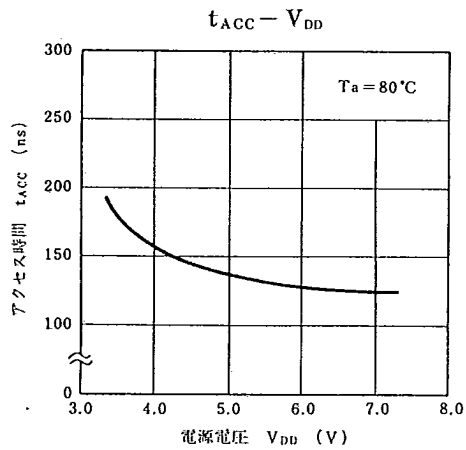
6932852 PANASONIC INDL. ELECTRONIC

72C 06364 D

メモリ

F-46-23-15

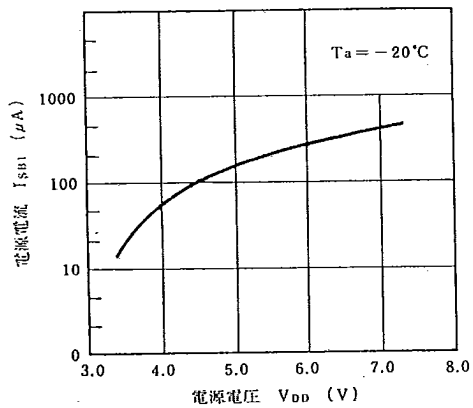
MN231000



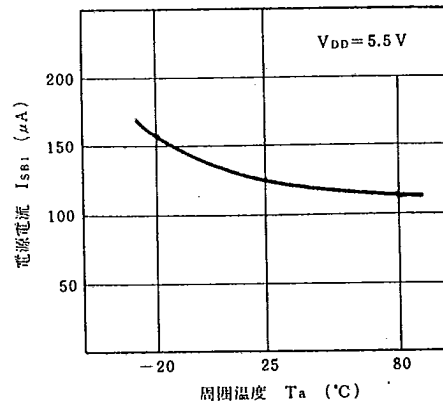
6932852 PANASONIC INDL. ELECTRONIC
メモ

72C 06365 D
T-46-23-15 MN231000

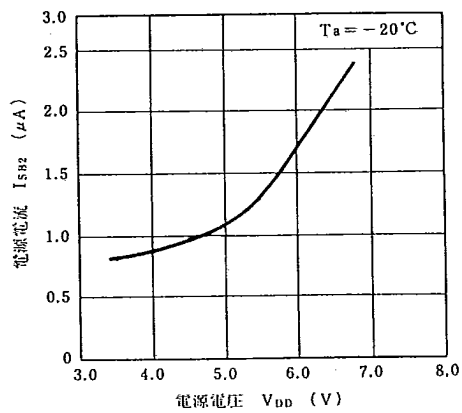
$I_{SB1} - V_{DD}$



$I_{SB1} - T_a$



$I_{SB2} - V_{DD}$



$I_{SB2} - T_a$

